

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 8-237101

[0025] to [0031]

[0025] Figure 4 is a block diagram showing the subject matter of the present invention.

[0026] As shown in Figure 4, the signal input circuit according to the present invention includes a clock signal generator 12, flip flops FF1 to FF3 and a delay time adjustment circuit 14. In the signal input circuit, an input signal SI input from outside into the signal input circuit is latched into the flip flop FF2 in synchronization with a clock signal CK input into the signal input circuit by a delay circuit included in the clock signal generator 12. Further, the logic state of the input signal SI held in the flip flop FF2 is output as an output signal SO.

[0027] Firstly, the clock signal generator 12 generates a reference clock signal CK2 obtained by delaying the clock signal CK for a predetermined reference delay time T_s and generates a reference signal CK1 obtained by delaying the clock signal CK for a time period (the reference delay time T_s minus a time difference T_a). Moreover, the clock signal generator 12 generates a clock signal CK3 obtained by delaying the clock signal CK for a time period (the reference delay time T_s plus a time difference T_b).

[0028] Herein, the relationships between the clock signal CK input from outside of the signal input circuit and each of the clock signal CK1, the reference clock signal CK2 and the clock signal CK3 are as follows; (The reference delay time T_s - the time difference T_a) < the reference delay time T_s < (the reference delay time T_s + the time difference T_b). Accordingly, the descending order of earliness of timing in the clock

Best Available Copy

signals CK1 to CK 3 is the clock signal CK, the clock signal CK1, the reference clock signal CK2 and then, the clock signal CK3.

[0029] Wherein, the length of the reference delay time T_s is variable in the clock signal generator 12. More specifically, the length of the reference delay time T_s is increased by a delay time increasing signal INC from the delay time adjustment circuit 14. Moreover, the length is reduced by a delay time reducing signal DEC from the delay time adjustment circuit 14.

[0030] Next, the flip flop FF2 latches and holds the logic state of the input signal SI in synchronization with the reference clock signal CK2. Further, the flip flop FF1 latches and holds the logic state of the input signal SI in synchronization with the clock signal CK1. Moreover, the flip flop FF3 latches and holds the logic state of the input signal SI in synchronization with the reference clock signal CK3.

[0031] Next, the delay time adjustment circuit 14 inputs the respective logic states held into the flip flops FF1 to FF3. The delay time adjustment circuit 14 compares the logic state held in the flip flop FF1 and the logic state held in the flip flop FF2. When the respective logic states to be compared are not in conformity, the delay time adjustment circuit 14 outputs the delay time increasing signal INC to increase the reference delay time T_s in the clock signal generator 12. On the other hand, the delay time adjustment circuit 14 compares the logic state held in the flip flop FF2 and the logic state held in the flip flop FF3. When the respective logic states to be compared are not in conformity, the delay time adjustment circuit 14 outputs the delay time reducing signal DEC to reduce the reference delay time T_s in the clock signal generator 12.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-237101

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H03K 19/0175

H03K 5/13

H03L 7/00

(21)Application number : 06-225108

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 20.09.1994

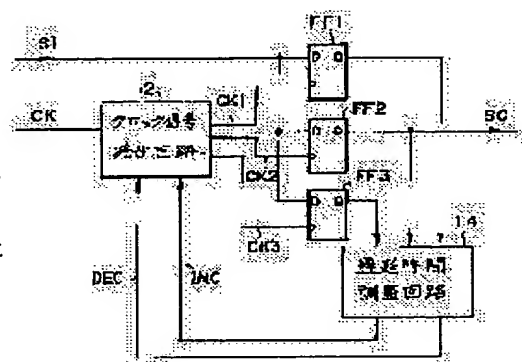
(72)Inventor : ORIHARA JUNICHI

(54) SIGNAL INPUT CIRCUIT

(57)Abstract:

PURPOSE: To improve the reliability of operation by adjusting a timing deviation between a reference clock signal C and an input signal S automatically and properly through the increase/decrease of a delay time of the signal C when the signal S is received synchronously with the signal C.

CONSTITUTION: A clock signal (CK) generating circuit 12 generates reference clock signals CK2, CK1 and CK3 by delaying an input clock signal CK by a reference delay time T_s , a (time T_s + time difference T_a) and (time T_s - time difference T_b) respectively. A FF2 receives an input signal (SI) synchronously with the CK 2 to keep a logic state of the signal SI, FFs 1, 3 receive the signal SI synchronously with the CK 1, 2 respectively and latch it. A delay time adjustment circuit 14 compares the logic state of the FF1 and 2 or FF2 and 3 and increases or decreases a time T_s of the CK2 of the circuit 12 by using a signal INC or DEC when they do not match. Thus, the timing deviation between the CK2 and the SI is automatically adjusted and the reliability of operation is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-237101

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	19/0175		H 0 3 K 19/00	1 0 1 N
	5/13		5/13	
H 0 3 L	7/00		H 0 3 L 7/00	A

審査請求 未請求 請求項の数 1 O L (全 11 頁)

(21)出願番号 特願平6-225108

(22)出願日 平成6年(1994)9月20日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 折原 旬一

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

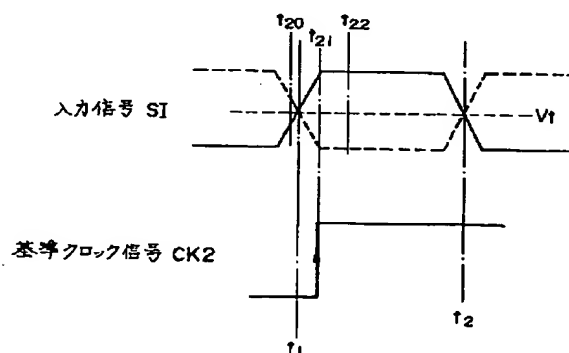
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 信号入力回路

(57)【要約】

【目的】 クロック信号に同期しながら入力信号を取り込む際、これら信号間のタイミングのずれを自動的に調整し、タイミングマージン向上等を図る。

【構成】 時刻 t_1 と時刻 t_2 との間の入力信号 S_1 の論理状態を、基準クロック信号 CK_2 の立上がりにて読み込む。この際、該基準クロック信号 CK_2 の立上がりの時刻 t_{21} のタイミングだけでなく、その前後の時刻 t_{20} や時刻 t_{22} での前記入力信号 S_1 の論理状態をも取り込む。前記基準クロック信号 CK_2 が例えば早くなり過ぎると、該基準クロック信号 CK_2 の立上がりでは正しい論理状態が取り込めても、その前の時刻 t_{20} では正しい論理状態が取り込めない。時刻 t_{20} と時刻 t_{21} との論理状態の比較結果に従って、前記基準クロック信号 CK_2 のタイミングが早いことを検出し、ずれを自動的に調整する。



【特許請求の範囲】

【請求項1】 フリップフロップ及びタイミング調整用の遅延回路を有し、該遅延回路を用いてクロック信号CKに対して同期しながら、入力信号SIを前記フリップフロップへ取り込み、該フリップフロップへ保持される前記入力信号SIの論理状態を出力するようにした信号入力回路において、

前記クロック信号CKを基準遅延時間Tsだけ遅延させた基準クロック信号CK2、前記クロック信号CKを

(前記基準遅延時間Ts-時間差Ta)だけ遅延させたクロック信号CK1及び前記クロック信号CKを(前記基準遅延時間Ts+時間差Tb)だけ遅延させたクロック信号CK3を生成すると共に、前記基準遅延時間Tsが可変とされたクロック信号発生回路と、

前記基準クロック信号CK2に同期して、前記入力信号SIを取り込み、その論理状態を保持するフリップフロップFF2と、

前記クロック信号CK1に同期して、前記入力信号SIを取り込み、その論理状態を保持するフリップフロップFF1と、

前記クロック信号CK3に同期して、前記入力信号SIを取り込み、その論理状態を保持するフリップフロップFF3と、

前記フリップフロップFF1へ保持される論理状態と前記フリップフロップFF2へ保持される論理状態とを比較し、これら論理状態が不一致の場合、前記クロック信号発生回路の前記基準遅延時間Tsを増加させ、一方、前記フリップフロップFF2へ保持される論理状態と前記フリップフロップFF3へ保持される論理状態とを比較し、これら論理状態が不一致の場合、前記クロック信号発生回路の前記基準遅延時間Tsを減少させる遅延時間調整回路とを備えたことを特徴とする信号入力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フリップフロップ及びタイミング調整用の遅延回路を有し、該遅延回路を用いてクロック信号CKに対して同期しながら入力信号SIを前記フリップフロップへ取り込み、該フリップフロップへ保持される前記入力信号SIの論理状態を出力するようにした信号入力回路に係り、特に、前記入力信号S2と前記クロック信号CKとのタイミングのずれが変動してしまったとしても、このタイミングのずれを自動的に調整することで、タイミングマージンをより向上させ、又、その動作の信頼性をより向上することができる信号入力回路に関する。

【0002】

【従来の技術】 論理回路は、一般には、組合せ回路と順序回路とに大別される。前記組合せ回路は、現在の入力のみで所定の論理演算を行い、この論理演算結果を出力するものである。一方、前記順序回路は、出力を現在の

入力のみでは定めず、入力や該順序回路の過去の履歴に依存して定めるものである。又、前記順序回路は、一般的には、非同期式順序回路と同期式順序回路とに大別される。

【0003】 この非同期式順序回路は、入力や該順序回路の状態が変化した場合には、逐次出力が変化する。このような非同期式順序回路の設計に際しては競合条件やハザード、又複数の信号間におけるスキューに関して注意が必要である。

【0004】 一方、前記同期式順序回路は、その出力の論理状態の変化や、場合によってはその内部の論理条件の変化を、所定のクロック信号を用いて同期させている。このため、前述の非同期式順序回路に比べ、該同期式順序回路の設計のほうが一般的には容易である。しかしながら、このような同期式順序回路においても、クロックの分配時等にスキューが問題となる場合がある。このような場合には、分配されるクロックの一部を遅延させる等、スキュー調整が行われる。

【0005】 例えば図10に示される入力信号SIは、実線で示されるH状態や破線で示されるL状態が、クロック信号CKの立上がり、即ち時刻T3にて読み込まれる。このとき、該時刻T3に対して、前記入力信号SIの論理状態が変化する時刻T1あるいは時刻T2までの時間、即ち前記図10に図示される時間T1あるいはT2が余裕時間となる。即ち、前記入力信号SIや前記クロック信号CKのタイミングの変動に対する余裕時間となる。このような余裕時間が長ければ、タイミングマージンが高くなる。

【0006】 例えば図11において、前記入力信号SIを取り込むタイミングについては、前記クロック信号CKaによる場合が最も最適である。

【0007】 一方、前記クロック信号CKaの立上がりのタイミングが早くなり、この図11に示されるクロック信号CKbのようになってしまうと、前記入力信号SIの論理状態を取り込む際のタイミングマージンが低下してしまう。あるいは、前記クロック信号CKaの立上がりのタイミングが遅れてしまい、前記図11に示されるクロック信号CKcのようになってしまっても、前記入力信号SIを取り込む際のタイミングマージンが低下してしまう。

【0008】 例えば前記クロック信号CKbのようにクロック信号のタイミングが速くなってしまうと、前記図10の前記時間T1が短くなってしまい、前記入力信号SIを取り込む際のセットアップタイムが短くなってしまふ。あるいは、前記クロック信号CKcのようにクロック信号のタイミングが遅れると、前記図10に示される前記時間T2が短くなってしまい、ホールドタイムが短縮されてしまふ。このように前記時間T1やT2が短縮されてしまい、必要なセットアップタイムやホールドタイムが確保できなくなってしまうと、前記入力信号S

Iの正しい論理状態を読み出すことができなくなってしまう。

【0009】このため、従来、例えば図12に示されるようにタイミング調整用の遅延回路D5を用いるようにしている。この図12においては、前記入力信号SIと前記クロック信号CKとのタイミング関係を、前記遅延回路D5にて調整している。信号入力回路においては、一般に、セットアップタイムに対して、ホールドタイムがより小さな値まで正常に動作することができるように、前記入力信号SIと前記クロック信号CKとのタイミング関係を設定する。このため、前記入力信号SI側のみにタイミング調整用の遅延回路D5を挿入すれば十分である。即ち、前記遅延回路D5を設けることで、前記図10で示した前記時間T1と前記時間T2との長さの比率を調整する。

【0010】これによって、よりタイミングマージンを向上することができる。即ち、例えば、前記入力信号SIと前記クロック信号CKとのタイミング関係が変動してしまっても、誤った論理状態が読み込まれてしまうのを防止することができる。例えば、その論理回路をプリント基板へ実装したり、集積回路等へ組込む際、使用された素子のばらつきや、製造プロセスの変動等、あるいは接続される負荷の変動等によって、前記入力信号SIのタイミングが変動してしまったり、前記クロック信号CKのタイミングが変動してしまったりとしても、その動作の信頼性をより確実に確保することができる。

【0011】

【発明が解決しようとする課題】しかしながら、前記図12の前記遅延回路D5の遅延時間は固定されたものである。従って、前記入力信号SIのタイミングや前記クロック信号CKのタイミングが大きくずれる場合、異なる遅延時間のものへ、前記遅延回路D5を交換する必要がある、多くの手間がかかる。例えば、論理回路の設計時、その論理回路の前記入力信号SIに対する負荷や前記クロック信号CKに対する負荷が決定した時点等で、設計者は、より最適な遅延時間の前記遅延回路D5を選択する必要がある。

【0012】しかしながら、例えば温度変化や電源電圧の変化等によっても、前記入力信号SIのタイミングや前記クロック信号CKのタイミングが変動してしまう場合もある。このような場合には、逐次前記遅延D5の遅延時間を調整することは困難である。

【0013】本発明は、前記従来の問題点を解決するべくなされたもので、フリップフロップ及びタイミング調整用の遅延回路を有し、該遅延回路を用いてクロック信号CKに対して同期しながら入力信号SIを前記フリップフロップへ取り込み、該フリップフロップへ保持される前記入力信号SIの論理状態を出力するようにした信号入力回路において、前記入力信号SIと前記クロック信号CKとのタイミングのずれが変動しても、このタイ

ミングのずれを自動的に調整することで、タイミングマージンをより向上させ、又、その動作の信頼性をより向上することができる信号入力回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、フリップフロップ及びタイミング調整用の遅延回路を有し、該遅延回路を用いてクロック信号CKに対して同期しながら、入力信号SIを前記フリップフロップへ取り込み、該フリップフロップへ保持される前記入力信号SIの論理状態を出力するようにした信号入力回路において、前記クロック信号CKを基準遅延時間 T_s だけ遅延させた基準クロック信号CK2、前記クロック信号CKを（前記基準遅延時間 T_s -時間差 T_a ）だけ遅延させたクロック信号CK1及び前記クロック信号CKを（前記基準遅延時間 T_s +時間差 T_b ）だけ遅延させたクロック信号CK3を生成すると共に、前記基準遅延時間 T_s が可変とされたクロック信号発生回路と、前記基準クロック信号CK2に同期して、前記入力信号SIを取り込み、その論理状態を保持するフリップフロップFF2と、前記クロック信号CK1に同期して、前記入力信号SIを取り込み、その論理状態を保持するフリップフロップFF1と、前記クロック信号CK3に同期して、前記入力信号SIを取り込み、その論理状態を保持するフリップフロップFF3と、前記フリップフロップFF1へ保持される論理状態と前記フリップフロップFF2へ保持される論理状態とを比較し、これら論理状態が不一致の場合、前記クロック信号発生回路の前記基準遅延時間 T_s を増加させ、一方、前記フリップフロップFF2へ保持される論理状態と前記フリップフロップFF3へ保持される論理状態とを比較し、これら論理状態が不一致の場合、前記クロック信号発生回路の前記基準遅延時間 T_s を減少させる遅延時間調整回路とを備えたことにより、前記課題を達成したものである。

【0015】

【作用】図1～図3は、本発明の要旨を示すタイムチャートである。

【0016】これら図1～図3において、前記入力信号SIをその信号入力回路が有するフリップフロップで組み込むタイミングは、基準クロック信号CK2の立上がりタイミングと仮定する。すると、例えば前記図1においては、時刻t11において、前記図2では時刻t21にて、前記図3では時刻t31にて、前記入力信号SIの論理状態を取り込む。

【0017】ここで、本発明においては、前記基準クロック信号CK2に同期するタイミングで前記入力信号SIを取り込むだけでなく、時間差 T_a あるは時間差 T_b だけ前後する時刻においても、前記入力信号SIの論理状態を取り込むようにしている。

【0018】例えば前記図1においては、時刻t11より

前記時間差 T_a だけ早い時刻 t_{10} において、又、前記時刻 t_{11} より前記時間差 T_b だけ遅い時刻 t_{12} においても、前記入力信号 S_I の論理状態を取り込むようにしている。又、前記図 2 においては、前記時刻 t_{21} より前記時間差 T_a だけ早い時刻 t_{20} において、又前記時刻 t_{21} より前記時間差 T_b だけ遅い時刻 t_{22} においても、前記入力信号 S_I の論理状態を取り込むようにしている。前記図 3 では、前記時刻 t_{31} より前記時間差 T_a だけ早い時刻 t_{30} において、又、前記時刻 t_{31} より前記時間差 T_b だけ遅い時刻 t_{32} においても、前記入力信号 S_I の論理状態を取り込むようにしている。

【0019】ここで、前記図 1～前記図 3 において、前記入力信号 S_I の H 状態あるいは L 状態を判別する際の閾値電圧を、図中破線で示されるような V_I とする。

【0020】まず、前記図 1 で前記入力信号 S_I が実線の場合、前記時刻 $t_{10} \sim t_{12}$ にそれぞれにおいて読み込まれる論理状態は全て H 状態である。又この図 1 で前記入力信号 S_I が破線の場合、前記時刻 $t_{10} \sim t_{12}$ において読み込まれるそれぞれの論理状態は L 状態となる。

【0021】次に、前記図 2 の実線の前記入力信号 S_I では、前記時刻 t_{20} で読み込まれる論理状態が L 状態である一方、前記時刻 t_{21} 及び前記時刻 t_{22} で読み込まれる論理状態はいずれも H 状態となる。又、この図 2 で前記入力信号 S_I が破線の場合には、前記時刻 t_{20} で読み込まれる前記入力信号 S_I の論理状態が H 状態である一方、前記時刻 t_{21} 及び前記時刻 t_{22} で読み込まれる前記入力信号 S_I の論理状態は L 状態となっている。このように、前記基準クロック信号 CK_2 のタイミングが速くなった場合、前記時刻 t_{21} にて正しい論理状態が取り込めたとしても、該時刻 t_{21} より早い前記時刻 t_{20} では異なる論理状態が取り込まれる場合がある。

【0022】次に前記図 3 について前記入力信号 S_I が実線であった場合、前記時刻 t_{30} 及び前記時刻 t_{31} で読み込まれる論理状態が H 状態である一方、前記時刻 t_{32} で読み込まれる論理状態が L 状態である。又、この図 3 で前記入力信号 S_I が破線の場合、前記時刻 t_{30} 及び前記時刻 t_{31} で読み込まれる論理状態は L 状態である一方、前記時刻 t_{32} で読み込まれる論理状態が H 状態となる。この図 3 に示されるように、前記基準クロック信号 CK_2 のタイミングが遅れてしまった場合、該基準クロック信号 CK_2 に対応する前記時刻 t_{31} においては、正しい論理状態が取り込めたとしても、該時刻 t_{31} より遅い前記時刻 t_{32} では誤った論理状態が取り込まれてしまうことがある。

【0023】このような点に着目し、本発明においては、まず前記図 2 のように前記基準クロック信号 CK_2 のタイミングが前記入力信号 S_I に対して早くなってしまふことを、前記時刻 t_{20} における論理状態と前記時刻 t_{21} における論理状態の比較にて検出するようにしてい

る。即ち、これら論理状態が不一致の場合、前記基準クロック信号 CK_2 のタイミングが速くなってしまっているものとし、前記基準クロック信号 CK_2 のタイミングを遅らせるように自動的に調整する。

【0024】一方、前記図 3 に示されるように、前記基準クロック信号 CK_2 のタイミングが前記入力信号 S_I のタイミングに比べ遅れてしまった場合、前記時刻 t_{31} における論理状態と、前記時刻 t_{32} における論理状態とを比較し、このような前記基準クロック信号 CK_2 のタイミングの遅れを検出するようにしている。即ち、これら論理状態が不一致の場合、前記基準クロック信号 CK_2 のタイミングが遅れてしまっていると判定し、該基準クロック信号 CK_2 のタイミングを自動的に早めるようにしている。

【0025】図 4 は、本発明の要旨を示すブロック図である。

【0026】この図 4 に示される如く、本発明の信号入力回路は、クロック信号発生回路 12 と、フリップフロップ $FF_1 \sim FF_3$ と、遅延時間調整回路 14 とにより構成されている。このような信号入力回路は、例えば前記クロック信号発生回路 12 が有する遅延回路を用いて、当該信号入力回路へと入力されるクロック信号 CK に対して同期しながら、当該信号入力回路へ外部から入力される入力信号 S_I を前記フリップフロップ FF_2 へ取り込む。又、該フリップフロップ FF_2 へ保持されている前記入力信号 S_I の論理状態を、出力信号 S_O として出力する。

【0027】まず、前記クロック信号発生回路 12 は、前記クロック信号 CK を所定基準遅延時間 T_s だけ遅延させた、基準クロック信号 CK_2 を生成する。又、前記クロック信号 CK を（前記基準遅延時間 T_s - 時間差 T_a ）だけ遅延させた、クロック信号 CK_1 を生成する。更に、該クロック信号発生回路 12 は、前記クロック信号 CK を（前記基準遅延時間 T_s + 時間差 T_b ）だけ遅延させた、クロック信号 CK_3 を生成する。

【0028】ここで、前記クロック信号 CK_1 、前記基準クロック信号 CK_2 及び前記クロック信号 CK_3 の、当該信号入力回路の外部から入力される前記クロック信号 CK に対する遅延時間の大小関係は、（前記基準遅延時間 T_s - 時間差 T_a ） < 前記基準遅延時間 T_s < （前記基準遅延時間 T_s + 前記時間差 T_b ）となる。従って、クロック信号 $CK_1 \sim CK_3$ についてタイミングの早い順は、（前記クロック信号 CK : 前記クロック信号 CK_1 : 前記基準クロック信号 CK_2 : 前記クロック信号 CK_3 ）の順となる。

【0029】なお、該クロック信号発生回路 12 において、前記基準遅延時間 T_s の長さは可変とされている。具体的には、該基準遅延時間 T_s は、前記遅延時間調整回路 14 からの遅延時間増加信号 INC にて、その長さが増加される。又、同じく該遅延時間調整回路 14 から

の遅延時間減少信号DECにて、その長さが減少される。

【0030】次に、前記フリップフロップFF2は、前記基準クロック信号CK2に同期して、前記入力信号SIの論理状態を取り込み、その論理状態を保持する。又、前記フリップフロップFF1は、前記クロック信号CK1に同期して、前記入力信号SIの論理状態を取り込み、その論理状態を保持する。前記フリップフロップFF3は、前記クロック信号CK3に同期して、前記入力信号SIの論理状態を取り込み、その論理状態を保持する。

【0031】次に、前記遅延時間調整回路14は、前記フリップフロップFF1～前記フリップフロップFF3それぞれに保持される論理状態を入力する。該遅延時間調整回路14は、前記フリップフロップFF1へ保持される論理状態と前記フリップフロップFF2へ保持される論理状態とを比較する。この比較されるこれら論理状態が不一致の場合、該遅延時間調整回路14は、前記遅延時間増加信号INCを出力し、前記クロック信号発生回路12における前記基準遅延時間Tsを増加させる。一方、該遅延時間調整回路14は、前記フリップフロップFF2へ保持される論理状態と、前記フリップフロップFF3に保持される論理状態とを比較する。この比較されるこれら論理状態が不一致の場合、該遅延時間調整回路14は前記遅延時間減少信号DECを出力し、前記クロック信号発生回路12における前記基準遅延時間Tsを減少させる。

【0032】この図4に示される信号入力回路の作用を詳しく説明すると次のとおりである。

【0033】まず、前記クロック信号CK1は、前記図1における前記時刻t10、前記図2の前記時刻t20あるいは前記図3の前記時刻t30に対応するものである。又、前記基準クロック信号CK2は、前記図1の前記時刻t11、前記図2の前記時刻t21あるいは前記図3の前記時刻t31に対応するものである。前記クロック信号CK3は、前記図1の前記時刻t12、前記図2の前記時刻t22あるいは前記図3の前記時刻t32等に対応する。又、このようなクロック信号CK1及びCK3は、前記基準クロック信号CK2に同期しながら、それぞれ対応する前記フリップフロップFF1、FF3あるいはFF2が動作する。

【0034】ここで、前記図4に示す前記遅延時間調整回路14は、前記図1に示すような場合、即ち前記フリップフロップFF1へ保持される論理状態と前記フリップフロップFF2へ保持される論理状態等とが一致する場合、前記遅延時間増加信号INCは出力しない。又、この図1に示されるような場合には、前記フリップフロップFF2へ保持される論理状態と前記フリップフロップFF3へ保持される論理状態とが一致する。このような場合には、該遅延時間調整回路14は前記遅延時間減

少信号DECを出力しない。

【0035】次に、前記図2に示すような場合、前記フリップフロップFF1へ保持される論理状態と前記フリップフロップFF2へ保持される論理状態とは不一致となる。従って、前記遅延時間調整回路14は前記遅延時間増加信号INCを前記クロック信号発生回路12へ出力する。従って、該クロック信号発生回路12はその前記基準遅延時間Tsを増加させる。一方、この図2に示すような場合、前記フリップフロップFF2へ保持される論理状態と前記フリップフロップFF3へ保持される論理状態とは一致する。従って、該遅延時間調整回路14は前記遅延時間減少信号DECを出力しない。従って、この図2に示すような場合、前記基準遅延時間Tsが延長され、前記基準クロック信号CK2のタイミングがより遅められ、これによって前記入力信号SIを取り込むタイミングマージンがより向上される。

【0036】次に、前記図3に示すような場合、前記フリップフロップFF1へ保持される論理状態と、前記フリップフロップFF2へ保持される論理状態とは一致する。従って、前記遅延時間調整回路14は、前記遅延時間増加信号INCを出力しない。一方、この図3に示されるような場合、前記フリップフロップFF2へ保持される論理状態と前記フリップフロップFF3に保持される論理状態とは不一致となる。従って、前記遅延時間調整回路14は前記遅延時間減少信号DECを出力する。従って、この図3に示すような場合、前記クロック信号発生回路12はその前記基準遅延時間Tsを減少（短縮）する。従って、この図3のような場合、前記基準遅延時間Tsが減少されることで、前記基準クロック信号CK2のタイミングが早められ、前記入力信号SIを取り込むタイミングマージンはより向上される。

【0037】以上説明したとおり、この図4に示される前記信号入力回路においては、前記図1～前記図3を用いて前述したような機能を実現することが可能である。従って、前記入力信号SIと前記クロック信号CKとのタイミングのずれが変動してしまったとしても、該クロック信号CKから生成され、前記入力信号SIを取り込む際に用いられる前記基準クロック信号CK2のタイミングを自動的に調整することができる。これによって、前記入力信号SIを取り込む際のタイミングマージンをより向上することができ、又、当該信号入力回路等の動作の信頼性をより向上することができる。

【0038】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0039】図5は、本発明が適用された信号入力回路の第1実施例の論理回路図である。

【0040】この図5に示される本第1実施例の信号入力回路は、入力バッファB1及びB2と、固定遅延回路D1～D3と、可変遅延回路D4と、D型フリップフロ

ップFF1～FF5と、エクスクルーシブOR論理ゲートG1及びG2と、インバータゲートIV1とにより構成されている。

【0041】なお、この図5に示される本実施例の各構成要素について、前記図4に示した前記クロック信号発生回路12、前記遅延時間調整回路14及び前記フリップフロップFF1～FF3に対する対応関係は次のとおりである。即ち、本実施例の前記固定遅延回路D2及びD3と前記可変遅延回路D4によって、前記図4の前記クロック信号発生回路12が構成される。本実施例の前記エクスクルーシブOR論理ゲートG1及びG2と前記D型フリップフロップFF4及びFF5によって、前記図4の前記遅延時間調整回路14が構成される。又、本実施例の前記D型フリップフロップFF1～FF3は、それぞれ、前記図4の同符号の前記フリップフロップFF1～FF3へそれぞれ対応する。

【0042】なお、本実施例の前記入力バッファB1及びB3は、それぞれ、前記入力信号SIあるいは前記クロック信号CKの入力に対する一般的な入力バッファとして用いられる。即ち、該D型フリップフロップFF2からは、本実施例の信号入力回路の外部から入力され、該信号入力回路にて取り込まれた前記入力信号SIを、例えば内部回路等へ出力信号SOとして出力する。又、前記固定遅延回路D1は、前記入力信号SI側を遅延させることで、前記クロック信号CKを基準とした前記入力信号SIの取り込みの際の、ホールドタイム等のタイミングの調整範囲を拡大させるものである。

【0043】図6は、本実施例に用いられる固定遅延回路の論理回路図である。

【0044】この図6では、前記図5に示した前記固定遅延回路D1～D3のいずれか1つが示される。この図6に示されるように、前記固定遅延回路D1～D3は、バッファゲートBの、その入力からその出力への信号遅延時間を利用したものである。即ち、これら固定遅延回路D1～D3は、1つ分の前記バッファゲートBの遅延時間を基準とし、これら固定遅延回路D1～D3それぞれが必要とする遅延時間分だけ、このようなバッファゲートBを必要数だけ直列接続する。

【0045】なお、前記固定遅延回路D1全体における遅延時間は、前記クロック信号CKを基準とした前記入力信号SIの取り込みの際のホールドタイムの調整範囲等に従って定められる。又、前記固定遅延回路D2の遅延時間は前記時間差Taに対応し、前記固定遅延回路D3の遅延時間を前記時間差Tbに対応する。これら固定遅延回路D2及びD3それぞれの遅延時間、即ち前記時間差Ta及び前記時間差Tbは、具体的には、次に列挙するような条件に従って決定される。

【0046】(1) 前記クロック信号CK1やCK3又前記基準クロック信号CK2に従って動作する回路、例えば前記D型フリップフロップFF1～FF3等の、そ

のセットアップタイムやホールドタイムの長さ。

【0047】(2) 本発明を適用したタイミングずれの自動的な調整の、その応答時間より短時間で生じてしまう、前記入力信号SIのタイミング変動量や前記クロック信号CKのタイミング変動量。

【0048】(3) 本発明を適用したタイミングずれの自動調整における、その調整精度や応答速度を考慮した余裕分。

【0049】例えば、前記時間差Taや前記時間差Tbは、上記(1)項～(3)項それぞれに対応する余裕時間のほぼ合計となる。

【0050】図7は、本実施例に用いられる可変遅延回路の論理回路図である。

【0051】この図7では、前記図5に示した前記可変遅延回路D4の論理回路が示されている。該可変遅延回路D4は、入力される信号DIを所定基準遅延時間Ts4だけ遅延させる。

【0052】ここで、前記固定遅延回路D1～D3における遅延時間をそれぞれTs1～Ts3とすれば、前記基準遅延時間Tsは、 $(Ts4 - Ts1 + Ts2)$ となる。又、前記クロック信号CK1に係る遅延時間、即ち(前記基準遅延時間Ts - 前記時間差Ta)は、 $(Ts4 - Ts1)$ となる。前記クロック信号CK3に係る遅延時間、即ち(前記基準遅延時間Ts + 前記時間差Tb)は、 $(Ts4 - Ts1 + Ts2 + Ts3)$ となる。

【0053】従って、該可変遅延回路D4において、前記遅延時間増加信号INCにて前記遅延時間Ts4が増加されると、前記基準遅延時間Tsは増加され、前記遅延時間減少信号DECにて前記遅延時間Ts4が減少されると、前記基準遅延時間Tsは減少される。又、前記クロック信号CK1やCK3に係る遅延時間も、前記遅延時間Ts4の変更によって、同様に増減される。

【0054】ここで、この図7に示される如く、前記可変遅延回路D4は、合計15個のバッファゲートBと、マルチプレクサMと、4ビットアップダウンカウンタCTとにより構成されている。

【0055】まず、当該可変遅延回路D4における前記遅延時間Ts4の最大値をTs4maxとする。すると、合計15個の前記バッファゲートBの1つ分の遅延時間は、 $(Ts4max / 15)$ となる。なお、このような遅延時間 $(Ts4max / 15)$ は、基本的なバッファゲートを必要数直列接続して前記バッファゲートBを構成することで実現できる。

【0056】前記マルチプレクサMは、その入力Sへ入力される4ビットの信号Sに従って、合計16個の入力0～入力15のいずれか1つを選択し、選択されたものをその出力Uへ接続する。例えば前記信号Sが2進数“0000”の場合、前記入力0を前記出力Uへ接続する。前記信号Sが2進数“0001”の場合、前記入力1を前記出力Uへ接続する。以下同様に、前記信号Sに

基づいて前記入力0～前記入力15のいずれか1つを選択し前記出力Uへ接続し、例えば前記信号Sが2進数“1111”の場合には、前記入力15を前記出力Uへ接続する。

【0057】前記4ビットアップダウンカウンタCTは2進数“0000”から2進数“1111”までのカウント値を、前記遅延時間増加信号INCに応じてインクリメント（その値を“1”だけ増加）し、あるいは、前記遅延時間減少信号DECに応じてデクリメント（その値を“1”だけ減少）する。又、該4ビットアップダウンカウンタCTにおいて、その前記カウント値は、不揮発性メモリにて保持される。従って、電源遮断時であっても、該4ビットアップダウンカウンタCTはそのカウント値を保持することができる。

【0058】以下、本実施例の作用をより詳細に説明する。

【0059】前記図5において、当該信号入力回路の外部から入力される前記クロック信号CKは、前記入力バッファB2を経て前記可変遅延回路D4へ入力される。該可変遅延回路D4において前記遅延時間Ts4だけ遅延された前記クロック信号CK1は、前記固定遅延回路D2へ入力されると共に、前記D型フリップフロップFF1へも入力される。

【0060】前記固定遅延回路D2からは、前記クロック信号CKに対して遅延時間(Ts4+Ts2)だけ遅延された前記基準クロック信号CK2が出力される。該基準クロック信号CK2は、前記D型フリップフロップFF2へ入力されると共に、前記固定遅延回路D3、及び前記インバータゲートIV1を経て前記D型フリップフロップFF4及びFF5へ入力される。

【0061】該固定遅延回路D3は、前記クロック信号CKを基準とし、遅延時間(Ts4+Ts2+Ts3)だけ遅延された前記クロック信号CK3を出力する。該クロック信号CK3は前記D型フリップフロップFF3へ入力される。

【0062】一方、当該信号入力回路の外部から入力される前記入力信号SIは、前記入力バッファB1を経て前記固定遅延回路D1へ入力される。該固定遅延回路D1は、前記クロック信号CKに対する前記入力信号SIのタイミングを遅らせることで、例えば該クロック信号CKに対する前記入力信号SIのホールドタイムの調整範囲の拡大等を行うことができる。該固定遅延回路D1は、前記入力信号SIを遅延時間Ts1だけ遅延させ、これを前記D型フリップフロップFF1～FF3それぞれの入力Dへ入力する。

【0063】従って、まず、前記D型フリップフロップFF2は、前記入力信号SIのタイミングを基準として、前記基準遅延時間Ts(=Ts4+Ts2)-Ts1)だけ遅延させた前記基準クロック信号CK2に従って、前記入力信号SIを取り込む。前記D型フリップ

フロップFF1は、前記入力信号SIのタイミングを基準として、(前記基準遅延時間Ts-前記時間差Ta)(=Ts4-Ts1)だけ遅延させた前記クロック信号CK1に従って、前記入力信号SIを取り込む。前記D型フリップフロップFF3は、前記入力信号SIのタイミングを基準として、(前記基準遅延時間Ts+前記時間差Tb)(=Ts4+Ts2+Ts3)-Ts1)だけ遅延させた前記クロック信号CK3に従って、前記入力信号SIを取り込む。

【0064】次に、前記エクスクルーシブOR論理ゲートG1において、前記D型フリップフロップFF1へ保持される論理状態と前記D型フリップフロップFF2に保持される論理状態とが不一致の場合、その出力がH状態となる。該エクスクルーシブOR論理ゲートG1が出力する論理状態は、前記D型フリップフロップFF4へ取り込まれる。又、該D型フリップフロップFF4からは、前記遅延時間増加信号INCが出力される。

【0065】一方、前記エクスクルーシブOR論理ゲートG2において、前記D型フリップフロップFF2へ保持される論理状態と前記D型フリップフロップFF3へ保持される論理状態とが不一致の場合、その出力がH状態となる。該エクスクルーシブOR論理ゲートG2の出力は、前記D型フリップフロップFF5にて保持される。又、該D型フリップフロップFF5からは、前記遅延時間減少信号DECが出力される。これら遅延時間増加信号INC及び遅延時間減少信号DECは、いずれも、前記可変遅延回路D4へ入力される。

【0066】図8は、本実施例の動作例を示すタイムチャートである。

【0067】この図8での動作例は、前記図2に示したように前記入力信号SIを取り込む際の前記基準クロック信号CK2のタイミングが早くなり過ぎている場合である。この図8のタイムチャートでは、前記図5に示される前記入力信号SI及び信号S1～S7のタイミングが示される。特に、前記信号S6は前記遅延時間増加信号INCであり、前記信号S7は前記遅延時間減少信号DECである。

【0068】まず、前記入力信号SIは、時刻t61にて立上がり始め、時刻t62にて閾値電圧Vtを通過し、時刻t63にて完全なH状態となる。又、該入力信号SIは、時刻t64にて立下がり始め、時刻t65にて前記閾値電圧Vtを通過し、時刻t66にて完全にL状態となる。なお、閾値電圧Vtは、前記入力信号SIがL状態であるか、あるいはH状態であるか判別する際のものである。

【0069】ここで、前記基準クロック信号CK2に対応する時刻t52において、又、前記クロック信号CK3に対応する時刻t53においては、本来H状態が取り込まれるものであり、又実際にもH状態が取り込まれている。しかしながら、前記クロック信号CK1に対応する

時刻 t51においては、本来H状態が取り込まれるところ、L状態が取り込まれてしまっている。これは、前記クロック信号CK1及びCK3又前記基準クロック信号CK2のタイミングが早くなり過ぎているためである。

【0070】前記フリップフロップFF1～3のそれぞれの出力する信号S1～3が全て確定している前記時刻 t53～時刻 t54の間においては、前記信号S1で示される前記フリップフロップFF1へ保持される論理状態と、前記信号S2で示される前記フリップフロップFF2へ保持される論理状態が不一致となり、前記エクスクルーシブOR論理ゲートG1が出力する前記信号S4がH状態となる。又、前記信号S2で示される前記フリップフロップFF2へ保持される論理状態と信号S3で示される前記フリップフロップFF3へ保持される論理状態とが不一致となり、前記エクスクルーシブOR論理ゲートG2が出力する前記信号S5がL状態となる。

【0071】ここで、時刻 t71は、前記時刻 t52で立上った前記クロック信号CK2の立下がり時刻である。又、前記クロック信号(CK2バー)の立下がりの時刻である。前記フリップフロップFF4は、前記クロック信号CK2を反転させた前記クロック信号(CK2バー)の立下がりにより、前記時刻 t71において前記信号S4を取り込み、H状態の前記信号S6を出力する。同様に、前記フリップフロップFF5は、前記クロック信号(CK2バー)の立下がりにより、前記時刻 t71において前記信号S5を取り込み、L状態の前記信号S7を出力する。その結果、前記信号S6及びS7では、前記信号S4、S5の時刻 t51～t53で発生する不確定な状態が取り除かれている。従って、前記信号S6(前記遅延時間増加信号INC)は常にH状態となり、前記信号S7(前記遅延時間減少信号DEC)は常にL状態となる。

【0072】次に、前記時刻 t56以降についても、前記信号S6がH状態となり、前記信号S7がL状態となる。

【0073】即ち、前記基準クロック信号CK2に対応する前記時刻 t55において、又、前記クロック信号CK3に対応する前記時刻 t56においては、前記入力信号S1について本来L状態が取り込まれるものであり、実際にもL状態が取り込まれている。しかしながら、前記クロック信号CK1に対応する前記時刻 t54においては、前記入力信号S1について本来L状態が取り込まれるところ、実際にはH状態が取り込まれてしまっている。従って、前記時刻 t56以降においては、前記信号S1と前記信号S2との不一致により、前記信号S4はH状態となる。又、前記信号S2と前記信号S3との一致により、前記信号S5はL状態となる。従って、前記信号S6は常にH状態となり、一方、前記信号S7は常にL状態となる。

【0074】以上説明したように、本第1実施例によれ

ば、例えば前記図4に示したような本発明の信号入力回路を、実際の具体的な論理ゲート等を用いて実現することができる。又、本実施例においては、前記入力信号S1を入力する経路に前記固定遅延回路D1を設けているため、前記入力信号S1に対する前記クロック信号CKのタイミングを早めることができ、例えば前記クロック信号CKを基準とした前記入力信号S1のホールドタイムの調整範囲等、タイミングの調整範囲をより拡大することが可能となっている。

10 【0075】図9は、本発明が適用された信号入力回路の第2実施例の回路図である。

【0076】本第2実施例については、合計16の入力信号、即ち入力信号DI0～DI15を入力する信号入力回路となっている。又、本第2実施例においては、これら合計16の前記入力信号DI0～DI15に対して、本発明が適用される、タイミングのずれを自動的に調整する回路部分が、特に1つのみ設けられ、複数の入力信号DI0～DI15で共用されている。即ち、前記図4に示す前記クロック信号発生回路12に対応する回路や、前記遅延時間調整回路14に対応する回路、前記フリップフロップFF1に対応する回路、前記フリップフロップFF3に対応する回路が、前記入力信号DI0～DI15全体に対して1つのみ備えられている。

【0077】この図9において、まず、1点鎖線で囲まれる部分は、前記第1実施例のものと同一のものである。即ち、この1点鎖線で囲まれる部分において、前記第1実施例の前記信号S1を本第2実施例の前記入力信号DI0とし、前記出力信号Sを出力信号DO0としたものである。又、前記D型フリップフロップFF2等に用いられている前記基準クロック信号CK2を、前記入力信号DI1～前記入力信号DI15それぞれに対応して設けられているD型フリップフロップFF11～D型フリップフロップFF25にも用いている。

【0078】なお、前記D型フリップフロップFF2から前記入力信号DI0に対応して前記出力信号DO0が出力される。又、前記D型フリップフロップFF11から前記入力信号DI1に対応して出力信号DO1が出力され、前記D型フリップフロップFF12から前記入力信号DI2に対応して出力信号DO2が出力され、以下同様に、前記D型フリップフロップFF13～前記D型フリップフロップFF25それぞれから前記入力信号DI3～前記入力信号DI15に対応して、出力信号DO3～出力信号DO15が出力される。

【0079】以上説明したとおり、本第2実施例についても、前記第1実施例と同様、具体的に本発明を適用し、外部から入力される入力信号とクロック信号とのタイミングのずれが変動してしまったとしても、このタイミングのずれを自動的に調整することが可能であり、タイミングマージンをより向上させ、又、その動作の信頼性をより向上することができる。更に、本第2実施例に

つては、合計 16 の前記入力信号 D I 0 ~ D I 15 に対して、前記図 4 に示す前記クロック信号発生回路 12 に対応する回路部分や前記遅延時間調整回路 14 に対応する回路部分等を共有することができ、論理ゲート数の減少や半導体集積回路チップの面積の縮小等を図ることが可能となっている。

【0080】

【発明の効果】以上説明したとおり、本発明によれば、その信号入力回路の外部から入力されるクロック信号及び入力信号について、該クロック信号に対して同期しながら前記入力信号を取り込む際、前記入力信号と前記クロック信号とのタイミングのずれが変動してしまったとしても、このタイミングのずれを自動的に調整することで、タイミングマージンをより向上させ、又、その動作の信頼性をより向上することができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図 1】本発明の要旨を示す基準クロック信号のタイミングが最適のときのタイムチャート

【図 2】本発明の要旨を示す前記基準クロック信号のタイミングが早くなってしまったときのタイムチャート

【図 3】本発明の要旨を示す前記基準クロック信号のタイミングが遅くなってしまったときのタイムチャート

【図 4】本発明の要旨を示すブロック図

【図 5】本発明が適用された信号入力回路の第 1 実施例の論理回路図

【図 6】前記第 1 実施例で用いられる固定遅延回路の論理回路図

【図 7】前記第 1 実施例で用いられる可変遅延回路の論理回路図

【図 8】前記第 1 実施例の動作例を示すタイムチャート

【図 9】本発明が適用された信号入力回路の第 2 実施例の論理回路図

【図 10】従来からの信号入力回路における入力信号とクロック信号との関係を示すタイムチャート

【図 11】従来からの信号入力回路におけるクロック信号変動状態を示すタイムチャート

【図 12】従来からの信号入力回路の一例を示す論理回路図

【符号の説明】

12…クロック信号発生回路

14…遅延時間調整回路

FF 1 ~ FF 3…フリップフロップ（あるいは D 型フリップフロップ）

FF 4、FF 5、FF 11 ~ FF 25…D 型フリップフロップ

D 1 ~ D 3、D 5…固定遅延回路

20 D 4…可変遅延回路

B 1、B 2、B 11 ~ B 15…入力バッファ

G 1、G 2…エキスクルーシブ OR 論理ゲート

I V 1…インバータゲート

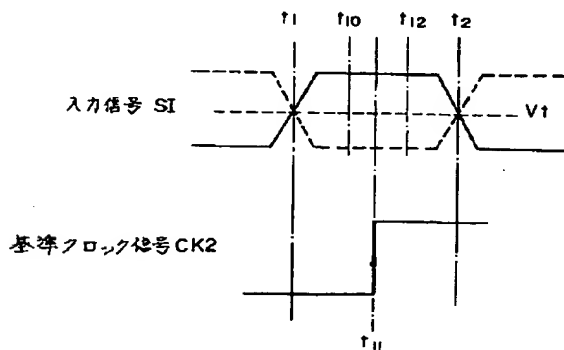
I N C…遅延時間増加信号

D E C…遅延時間減少信号

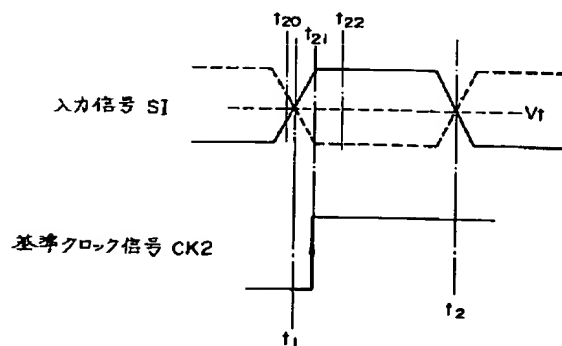
CK、CK 1、CK 3…クロック信号

CK 2…基準クロック信号

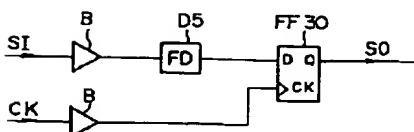
【図 1】



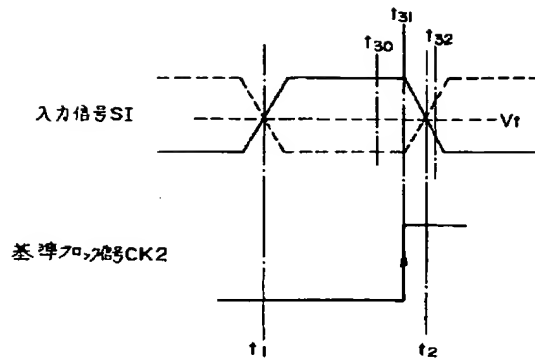
【図 2】



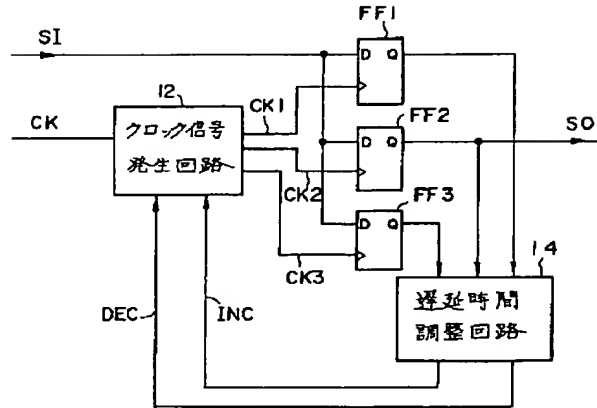
【図 12】



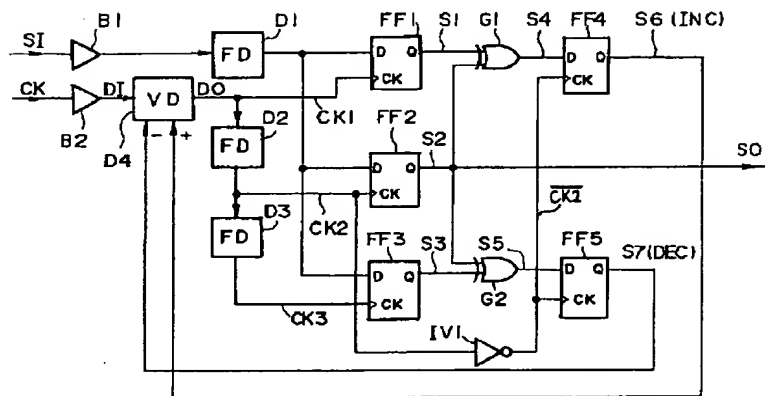
【図3】



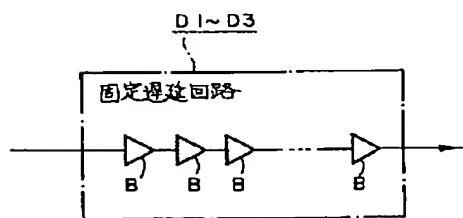
【図4】



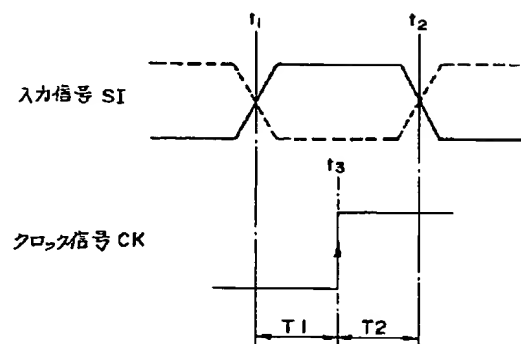
【図5】



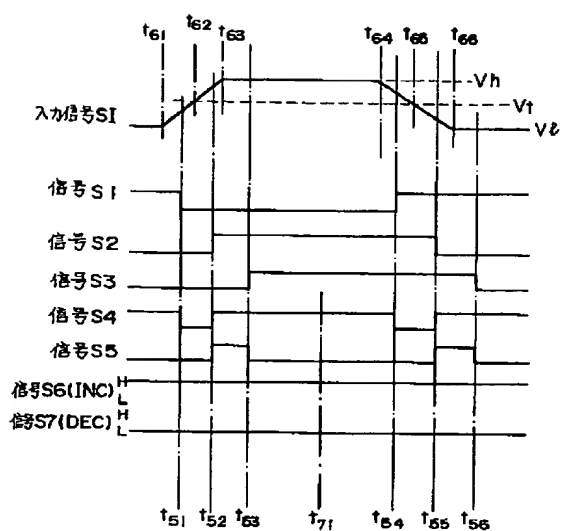
【図6】



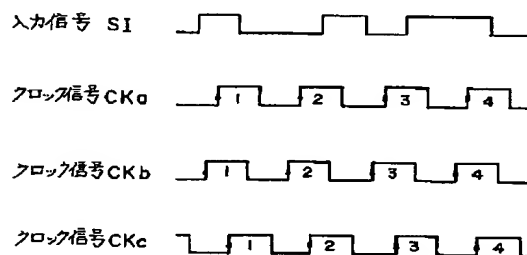
【図10】



【图 8】



【図 1 1】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.